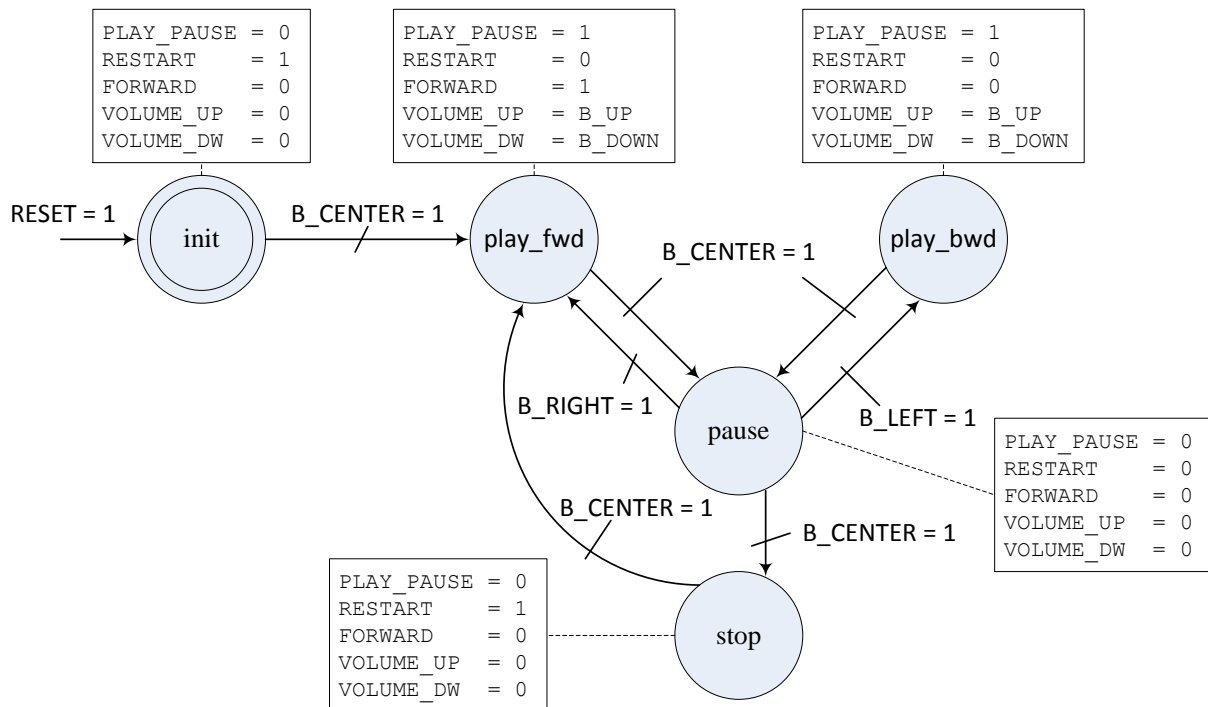


TD 1/2 – Machine à états finie

Description comportementale et testbench

Une machine à états finie est décrite par le schéma bloc et le diagramme d'états suivants (le RESET est synchrone) :



1) Description de l'entité FSM :

Décrivez l'entité VHDL du circuit FSM.

2) Description d'une architecture comportementale avec trois process explicites :

Décrivez une première architecture du circuit FSM en VHDL. Celle-ci doit comporter trois processus : un processus combinatoire de calcul de l'état futur, un processus synchrone de calcul de l'état présent, un processus combinatoire de calcul des sorties.

3) Description d'une architecture comportementale avec un seul process explicite:

Décrivez une seconde architecture du circuit FSM avec un seul processus pour le contrôle des états de la machine. Pour les sorties, utilisez des instructions concurrentes (processus implicites).

4) Chronogrammes

Dessinez les chronogrammes de fonctionnement du circuit FSM de telle sorte que tous les états soient activés une fois. En déduire les chronogrammes des différentes entrées.

5) Testbench

A partir des chronogrammes que vous avez dessinés, et en considérant une horloge à 50MHZ, écrire un TestBench en VHDL qui permet de valider simultanément le fonctionnement du circuit FSM avec les deux architectures du 2) et du 3).