

**Module EN 201 (les circuits FPGA)**  
**TD n°3 – Du VHDL au placement-routage**

Un concepteur décrit de façon comportementale un circuit en VHDL comme indiqué ci dessous :

```
ENTITY circuit IS
  PORT ( A, B, C, RESET, W : IN std_logic;
        H : IN std_logic;
        S1, S2 : OUT std_logic);
END circuit;

ARCHITECTURE Behavioral OF circuit IS

SIGNAL S0 : std_logic;

BEGIN

  S1 <= S0 WHEN W ='1' ELSE A;

  PROCESS (RESET, H)
  BEGIN
    IF (RESET ='0') THEN
      S0<='0';
      S2<='1';
    ELSIF (H'event AND H='1') THEN
      S0<= NOT ((A AND B) OR C);
      S2<=A AND B AND C;
    END IF;
  END PROCESS;

END Behavioral;
```

Le but de ce TD est de réaliser les différentes étapes de la synthèse au placement-routage permettant d'aller de la description matérielle comportementale à la génération du bitstream pour un composant du type FPGA.

1) Synthèse comportementale :

Dessinez avec des circuits simples de l'électroniques numériques (portes, multiplexeur, bascule D) le circuit équivalent à la description VHDL de l'entité circuit.

2) Mapping technologique : choix des LUT

A partir du schéma réalisé à la question 1 estimez le nombre de LUT à 4 entrées nécessaires à la réalisation des parties combinatoires du circuit. Puis entourez sur le schéma les parties correspondant à chacune des LUT. Donner les tables de vérités des LUT ainsi choisies.

3) Mapping technologique : configuration des LE (Logic Element)

Le FPGA qui est ciblé pour ce circuit à des éléments logiques configurables classiques contenant une LUT à 4 entrées, une chaîne de propagation rapide de la retenue et une bascule D. Sur les schémas d'éléments logiques donnés sur la feuille suivante surlignez les lignes utilisées pour configurer chacun des éléments logiques nécessaires au circuit. Faites clairement apparaître le nom des signaux déclarés dans la description VHDL.

4) Placement :

Le circuit FPGA (fictif) utilisé a une architecture très simple, comme montré sur le schéma donné sur la dernière feuille. Décidez du placement des trois éléments logiques utilisés ainsi que des broches d'entrées-sorties.

5) Routage 1<sup>ère</sup> phase – établissement des connexions

Au crayon papier tracer par des lignes droites les connexions entre les différentes entrées/sorties des éléments configurables et des entrées/sorties du circuit.

6) Routage 2<sup>ème</sup> phase – configuration du routage

A main levée montrez à quoi pourrait ressembler le routage entre les différentes entités configurables (éléments logiques, entrées/sorties).



