

SUJET DU TP N°2

Pour l'ensemble du TP le circuit à spécifier pour les propriétés des projets est le :

VIRTEX-4 XCL4VSX35-FF668-10

OBJECTIFS DU TP

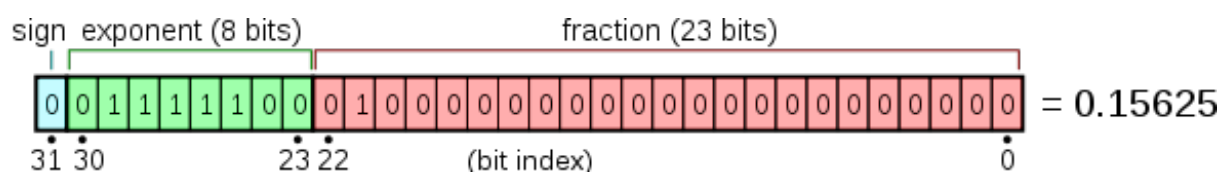
L'objectif de ce TP est d'évaluer les performances des opérateurs flottants une fois implantés matériellement dans un FPGA. Les opérations flottantes (norme IEEE-754) sont fréquemment utilisés lors des phases d'étude des algorithmes de traitement du signal. Toutefois leur implantation matérielle est complexe comme vous pourrez le voir...

COMPTE RENDU

Un compte rendu détaillé doit être remis en fin de séance. Celui-ci doit contenir les réponses aux questions posées dans le TP ainsi que vos analyses personnelles des résultats.

MULTIPLICATION DE 2 NOMBRES FLOTTANTS (32 BITS)

Nous allons tout d'abord observer la manière dont est réalisé une multiplication flottante entre deux nombres. Le format de codage des nombres flottants sur 32 bits est décrit dans la figure suivante :



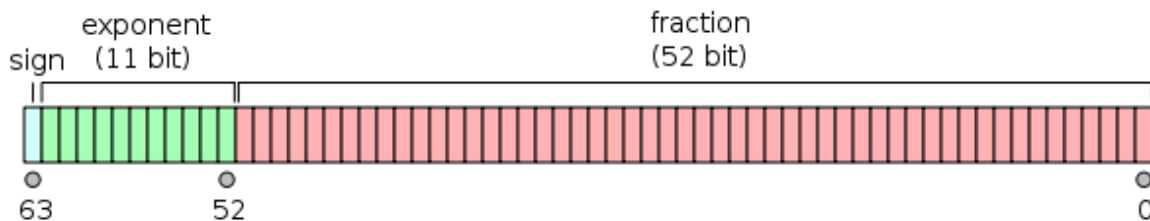
Votre travail sera de comprendre comment est réalisée la multiplication. Pour cela vous aurez à votre disposition le code VHDL décrivant l'opération.

1. Téléchargez le fichier VHDL décrivant la réalisation de la multiplication flottante de 2 nombres codés sur 32 bits (IEEE754_MUL). Analysez le code VHDL et dessinez l'architecture matérielle mise en œuvre.
2. Ecrivez un testbench afin de vérifier le bon fonctionnement de la multiplication flottante. Afin de générer les stimuli d'entrées de la multiplication vous utiliserez le programme développé par votre enseignant (IEEE754_TOOLS) ou bien ce lien internet.

3. Faire une synthèse du multiplieur flottant sous ISE afin d'estimer ses performances (slices, chemin critique, fréquence et débit).
4. Comparez les performances relevées avec celles des multiplieurs entiers.

MULTIPLICATION DE 2 NOMBRES FLOTTANTS (64 BITS)

Vous venez d'implémenter un multiplieur permettant de réaliser des calculs sur des nombres flottants 32 bits (float). Vous allez maintenant évaluer l'impact lié à l'utilisation de nombres de type double (64 bits). Le format de codage des nombres flottants sur 64 bits est fourni dans la figure suivante :



5. Modifier le fichier VHDL contenant la description de la multiplication afin de l'adapter à ce nouveau format de données sur 64 bits.
6. Faites une synthèse du multiplieur flottant 64 bits sous ISE afin d'estimer ses nouvelles performances.
7. Comparez les performances relevées avec celles obtenues précédemment.

ADDITION DE DEUX NOMBRES FLOTTANTS

8. Téléchargez le fichier VHDL décrivant la réalisation de l'addition flottante de 2 nombres codés sur 32 bits (IEEE754_MUL). Analysez le code VHDL et dessinez l'architecture matérielle mise en œuvre.
9. Ecrivez un testbench afin de vérifier le bon fonctionnement de l'additionneur.
10. Faites une synthèse de l'additionneur flottant sous ISE afin d'estimer ses performances.
11. Comparez les performances relevées avec celles obtenues précédemment.

AMELIORATION DES PERFORMANCES

Les performances de opérateurs flottants peuvent être améliorées en ajoutant par exemple des tranches de pipeline dans le composant (réduction des chemins critiques). Nous ne réaliserons pas cette étape fastidieuse manuellement dans le cadre de ce TP.

12. Utilisez l'outil Core Generator, afin d'utiliser les composants matériel intégrés dans l'outil de chez Xilinx. Développez plusieurs solutions de multiplieurs et d'additionneurs afin de regarder les compromis surface & débits accessibles.
13. Ecrivez un testbench afin de vérifier le bon fonctionnement des composants que vous générez avec l'outil Core Generator.

14. Synthétisez les composants et notez les résultats obtenus
15. L'utilisation de Core Generator est elle intéressantes vis à vis des opérations décrites manuellement ? Dans quels cas ? Quel est son cout ?

CONCLUSION ET SYNTHESE

16. Faire une synthèse de l'ensemble des résultats obtenus.