



ENSEIRB
MATMECA
BORDEAUX

Année 2013-2014

Semestre S9

DSP SUR COMPOSANT PROGRAMMABLE (FPGA)

EN-309

BERTRAND LE GAL

FILIERE ELECTRONIQUE OPTION : TSI

SUJET DU TP N°3

Pour l'ensemble du TP le circuit à spécifier pour les propriétés des projets est le :

VIRTEX-4 XCL4VSX35-FF668-10

OBJECTIFS DU TP

Lors des dernières séances de TP nous avons évalué les performances des opérateurs élémentaires sur FPGA. Nous allons maintenant concevoir un circuit réalisant l'implantation d'un filtre de type FIR et regarder l'impact du type de ressource (flottant, entier) sur le circuit. Pour cela vous allez devoir concevoir un filtre flottant en VHDL ainsi que équivalent en virgule fixe.

COMPTE RENDU

Un compte rendu détaillé doit être remis en fin de séance. Celui-ci doit contenir les fichiers VHDL des différents circuits. Les résultats de synthèse obtenus dans les différents cas seront comparés et analysés.

REALISATION DU FILTRE FIR A L'AIDE D'OPERATEURS FLOTTANTS

Dans un premier temps, nous allons nous intéresser à la réalisation d'un filtre de type FIR manipulant des données flottantes. Ce type d'architecture est « simple » à concevoir car il découle directement des algorithmes Matlab par exemple. Dans le cadre de notre exemple nous allons considérer deux filtres utilisés dans la décomposition en ondelette pour JPEG 2000.

L'équation du filtre de type FIR est fournie ci-dessous :

$$\begin{aligned} Y = & 0.026748757411 * X[0] - 0.016864118443 * X[1] \\ & - 0.078223266529 * X[2] + 0.266864118443 * X[3] \\ & + 0.602949018236 * X[4] + 0.266864118443 * X[5] \\ & - 0.078223266529 * X[6] - 0.016864118443 * X[7] \\ & + 0.026748757411 * X[8]; \end{aligned}$$

L'architecture d'implantation la plus simple pour un filtre de type FIR est basée sur l'allocation d'un opérateur par calcul à réaliser. L'architecture ainsi obtenue est décrite dans la figure suivante.

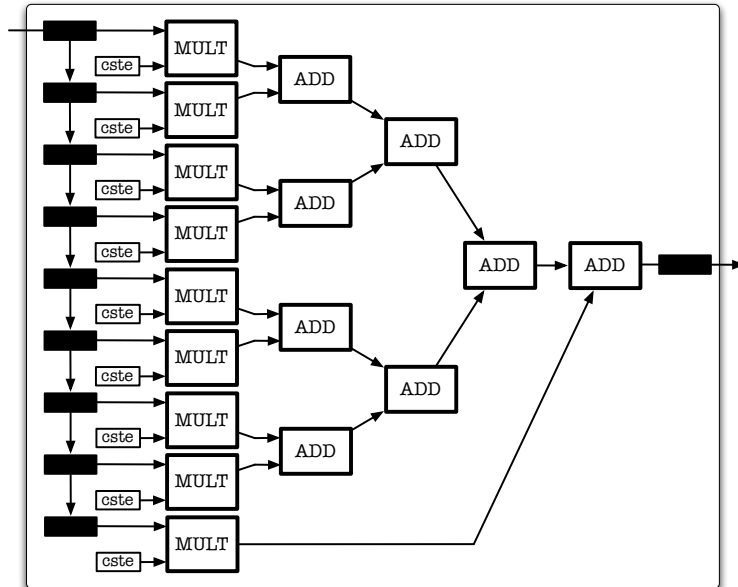


Figure : schéma d'implantation combinatoire d'un filtre FIR 9 points.
(les rectangles noirs modélisent des registres)

1. Écrivez en VHDL la description du filtre Y2. Afin de vous aider dans cette tâche, vous complèterez le fichier VHDL fourni par votre enseignant. Pour transformer les nombres flottant en binaire vous utiliserez l'outil fourni par votre enseignant lors du dernier TP.
2. Vérifiez la fonctionnalité de votre filtre FIR à l'aide de ModelSim. Concevez vous même le testbench adapté à ce filtre.
3. Calculez les performances du filtre une fois synthétisé avec ISE (latence débit et surface).

CODAGE EN VIRGULE FIXE DU FILTRE

Comme nous l'avons précédemment vu, les opérateurs entiers sont plus performants. Toutefois la réalisation d'un filtre en virgule fixe nécessite un effort supplémentaire de la part du concepteur.

4. Évaluez le nombre de bits nécessaire pour obtenir une précision acceptable des coefficients du filtre.
5. Calculez la dynamique nécessaire pour toutes les opérations de votre filtre tout en sachant que les données entrantes sont codées sur 8 bits et sont non signée à l'origine. Dessinez le schéma de votre filtre FIR.
6. Prenez le fichier fourni par votre enseignant et complétez le afin de le faire correspondre au schéma que vous venez de dessiner.
7. Calculez les performances du filtre une fois synthétisé avec ISE (latence débit et surface). Comparez ces informations à celle obtenues précédemment (avec les opérations flottantes).

IMPLANTATION PIPELINE DU FILTRE FIR

Afin d'améliorer les performances (débit) du filtre nous allons le pipeliner. Pour cela nous allons introduire des registres après chacune des opérations contenues dans l'architecture matérielle. Cela va permettre de casser les chemins critiques et d'améliorer la fréquence d'horloge du circuit.

8. Reprenez votre filtre combinatoire et copiez le sous un autre nom. Modifiez le afin de le faire correspondre au schéma que vous aurez pris soin de dessiner.
9. Calculez les performances du filtre une fois synthétisée avec ISE (latence débit et surface). Comparez ces informations à celle obtenues précédemment (avec les opérations flottantes).

IMPLANTATION SEQUENTIELLE DU FILTRE FIR

Dans un dernier temps, nous allons réaliser une architecture à faible coût matériel pour l'implanter le filtre. Nous allons ici limiter les ressources matérielles en utilisant uniquement un additionneur et un multiplieur.

10. Récupérez les fichiers VHDL fournis par votre enseignant et dessiner l'architecture matérielle qui est décrite dans les fichiers VHDL.
11. Simulez à l'aide du testbench fourni le fonctionnement du filtre dans sa version séquentielle afin de valider son fonctionnement.
12. Calculez les performances du filtre une fois synthétisée avec ISE (latence débit et surface). Comparez ces informations à celle des architectures précédemment réalisées.